

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-147769

(43)Date of publication of application : 01.07.1987

(51)Int.Cl.

H01L 29/74

(21)Application number : 60-288987

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 20.12.1985

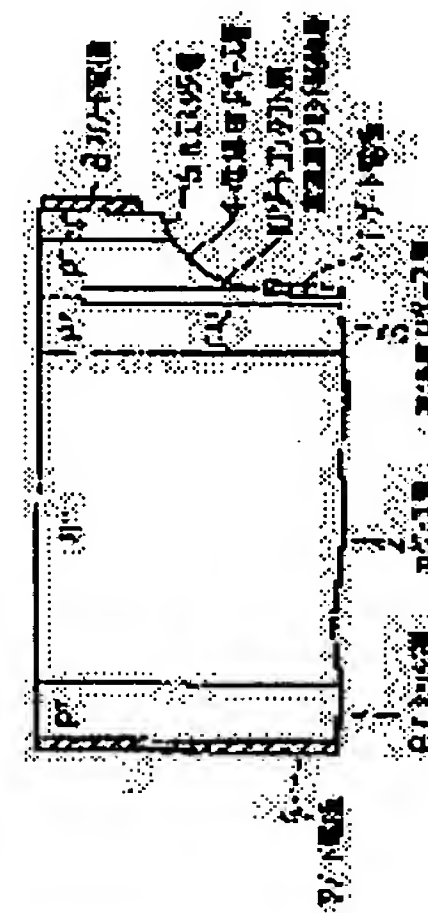
(72)Inventor : KIRIHATA FUMIAKI
HASHIMOTO OSAMU

(54) GTO THYRISTOR

(57)Abstract:

PURPOSE: To reduce the switching time, to raise the operating frequency and to achieve an improvement of controllable current, by setting up a highly- concentrated p-type impurity layer for the gate contact, in the vicinity of the highest impurity concentration area in a p-base area.

CONSTITUTION: A p-type impurity is thermomigrated to both sides of an n-type semiconductor substrate to form a p-emitter layer 1 and a p-base layer 3 on both sides, between which an n-base layer 2 is formed, and the p-type impurity is then diffused to form a highly-concentrated p-type impurity layer 10 on the surface of the highly-concentrated p-base layer 3. In this case, no highly- concentrated p-type impurity layer is to exist in an area equivalent to right under the center of a cathode 8 which is to be finally made. A lowly- concentrated p-base layer 4 is then formed on both surfaces of the p-base layer 3 and highly-concentrated p-type impurity layer 10, onto which an n-type impurity is further diffused to form an n-emitter layer 5. The highly-concentrated impurity layer 10 is then partly exposed, on the surface of which a gate electrode 7 is to be set; the cathode 8 on the n-emitter layer 5; and an anode 9 on the p-emitter layer 1, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C), 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-147769

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月1日

H 01 L 29/74

C-6655-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 GTOサイリスタ

⑯ 特 願 昭60-288987

⑰ 出 願 昭60(1985)12月20日

⑱ 発 明 者 桐 畑 文 明 川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑲ 発 明 者 橋 本 理 川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑳ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号
㉑ 代 理 人 弁理士 富 村 潔

明 細 書

1 発明の名称 GTOサイリスタ

2 特許請求の範囲

1) 順次導電形を具にするpnpnの4層からなり、pベース層のnエミッタ層側にさらにpベース層より不純物濃度の低い低濃度pベース層を設け、前記pベース層のもつとも高い不純物濃度領域に接してゲートコンタクト用高濃度p形不純物層を設けたことを特徴とするGTOサイリスタ。

2) 特許請求の範囲第1項記載のGTOサイリスタにおいて、ゲートコンタクト用高濃度p形不純物層の形成されていない領域がnエミッタ層直下であり、その面積がnエミッタ層の面積より小さいことを特徴とするGTOサイリスタ。

3) 特許請求の範囲第2項記載のGTOサイリスタにおいて、ゲートコンタクト用高濃度p形不純物層の形成されていない領域が、nエ

ミッタ層またはカソード電極と相似の形状を有することを特徴とするGTOサイリスタ。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は自己消弧機能を有し、ゲート信号によりオン、オフ可能なGTOサイリスタ、特にそのゲート構造に関する。

〔従来技術とその問題点〕

順次導電形を具にするpnpn 4層構造を有するGTOサイリスタは例えば第4図に示すような構造となつてゐる。すなわち、1はアノードを形成するpエミッタ層、2はnベース層、3は高濃度pベース層、4は低濃度pベース層、5はnエミッタ層、6は高濃度pベース層3に設けたゲートコンタクト用高濃度p形不純物層、7はゲート電極、8はカソード電極、9はアノード電極であり、図に示すようなメサ形ゲート構造の場合には、高濃度p形不純物層6はメサ形エッチング終了後に熱拡散法によつて形成される。そのためこの

高濃度 p 形不純物層 8 のカソード電極 8 にもつとも近い部分は低濃度 p ベース層 4 と接し、しかもカソード電極 8 の中心から $120 \sim 200 \mu\text{m}$ も離れ、この距離は n エミッタ層 5 の幅によつて制限されるため、ゲートインピーダンスの低減には限界があるという欠点があつた。

〔発明の目的〕

本発明の目的は、GTO サイリスタにおいて、スイッチング時間を短かくして使用周波数を上昇させ、かつ可制御電流の向上をもたらすゲート構造を得ることにある。

〔発明の要点〕

本発明は、p ベース層の n エミッタ層側に低濃度 p ベース層を設け、この低濃度 p ベース層と n エミッタ層とにより pn 接合を形成させることによりゲート逆電圧、ゲート逆電流上昇率を高めスイッチング速度を速くし、さらにゲートコンタクト用高濃度 p 形不純物層を p ベース層のもつとも高い不純物濃度領域に接して形成するとともに、

の中心部直下に相当する部分には高濃度 p 形不純物層 10 が存在しないようにする。次いで p ベース層 3 および高濃度 p 形不純物層 10 の表面にエピタキシャル結晶成長技術を用い $1 \times 10^{16} \text{ cm}^{-3}$ 以下の濃度を持つ低濃度 p ベース層 4 を形成し、さらにこの低濃度 p ベース層 4 に n 形不純物を拡散して n エミッタ層 5 を形成する。以上の拡散工程終了後、エッチングにより高濃度 p 形不純物層 10 の一部を露出させ、その表面にゲート電極 7、n エミッタ層 5 上にカソード電極 8、p エミッタ層 1 上にアノード電極 9 をそれぞれ設け、パッシベーション処理を施す。

第 2 図に燈冊形の n エミッタ層を有するサイリスタにおける高濃度 p 形不純物層 10 の広がり状態を示す。n エミッタの長さは一般に $3 \sim 5 \text{ mm}$ 、幅は $200 \sim 300 \mu\text{m}$ であり、カソード電極 8 の直下において高濃度 p 形不純物層 10 は n エミッタ層 5 もしくはカソード電極 8 と相似の形状を有する幅 $50 \sim 100 \mu\text{m}$ の範囲 11 には設けら

この領域面内においてこの高濃度 p 形不純物層の端とカソード電極の中心直下の相当位置との距離をキャリアの拡散長の半分程度にまで小さくしてゲートインピーダンスの低減を図り、n エミッタ層の中心部への電流集中効果を緩和させることによつて可制御電流を向上させるものである。

〔発明の実施例〕

次に本発明の実施例を図面について説明する。

第 1 図および第 2 図は本発明の実施例の要部のそれぞれ断面図および斜視図であり、第 4 図と同等部分には同符号を付してある。

n 形半導体基体の両面に p 形不純物を熱拡散することにより両側にそれぞれ p エミッタ層 1、p ベース層 3、その中間に n ベース層 2 を形成する。p ベース層 3 の表面不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上の値を持っている。この高濃度 p ベース層 3 の表面に高濃度 p 形不純物層 10 を拡散形成する。この場合、あらかじめホトマスクング技術により処理を行ない、最後に作られるカソード電極 8

れていないことが重要である。

すなわち、この幅を上記のような値にすることによつて、p ベース層 3 の高濃度側表面付近の $50 \sim 100 \mu\text{m}$ の拡散長を有するキャリアが前記範囲 11 の中心から高濃度 p 形不純物層 10 へ容易に到達することができるのでゲートインピーダンスが低減されるのである。範囲 11 の幅が $50 \sim 100 \mu\text{m}$ より小さいときはさらにゲートインピーダンスが小さくなり可制御電流が向上するが、点弧時のゲート感度が悪くなってしまう。従つて前記範囲 11 の幅は $50 \sim 100 \mu\text{m}$ が最適である。

第 3 図は本発明による GTO サイリスタのカソード領域 5 の中心部の不純物濃度のプロファイルを示す。

〔発明の効果〕

本発明によれば、ゲートコンタクト用高濃度 p 形不純物層を p ベース層のもつとも高い不純物濃度の領域に設け、カソード電極直下の高濃度 p 形

不純物層の厚さをキャリアの拡散長である50～100 μ mまで狭くすることにより、ゲートインピーダンスを従来の半分程度にまで低減させることができ、ターンオフ時のカソード電極中心部への電流の集中を緩和させることができるので、可制御電流が向上し、GTOサイリスタの用途を広げることができる。

またnエミッタ層に隣接して低濃度pベース層が設けられているので、ゲート逆電圧を40V以上、ゲート逆電流上昇率を100A/ μ s以上とゲート逆電圧を大きくとることができ、可制御電流を向上させることができるのみならず、スイッチング速度を速くすることが可能となるものである。

4. 図面の簡単な説明

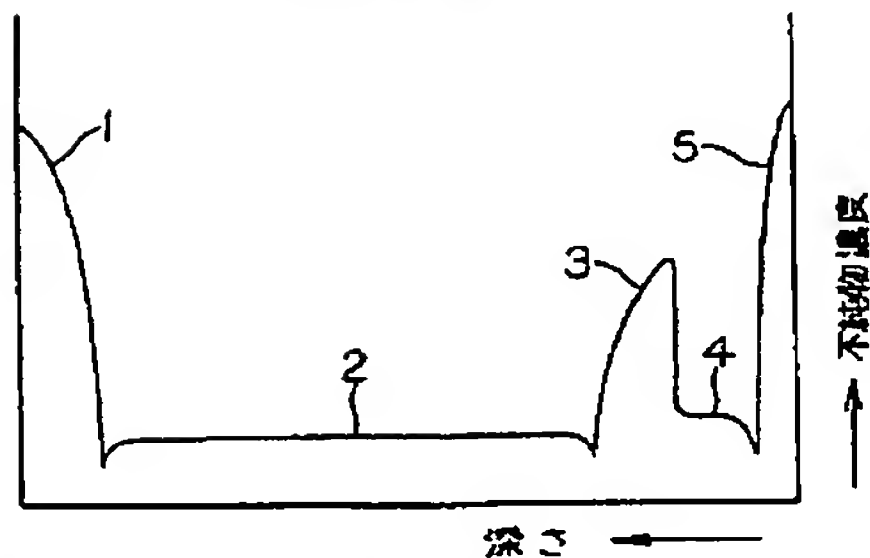
第1図および第2図は本発明の実施例のそれぞれ断面図および斜視図、第3図は第1図のGTOサイリスタの不純物濃度の分布図、第4図は従来のGTOサイリスタの断面図である。

1... pエミッタ層、 2... nベース層、

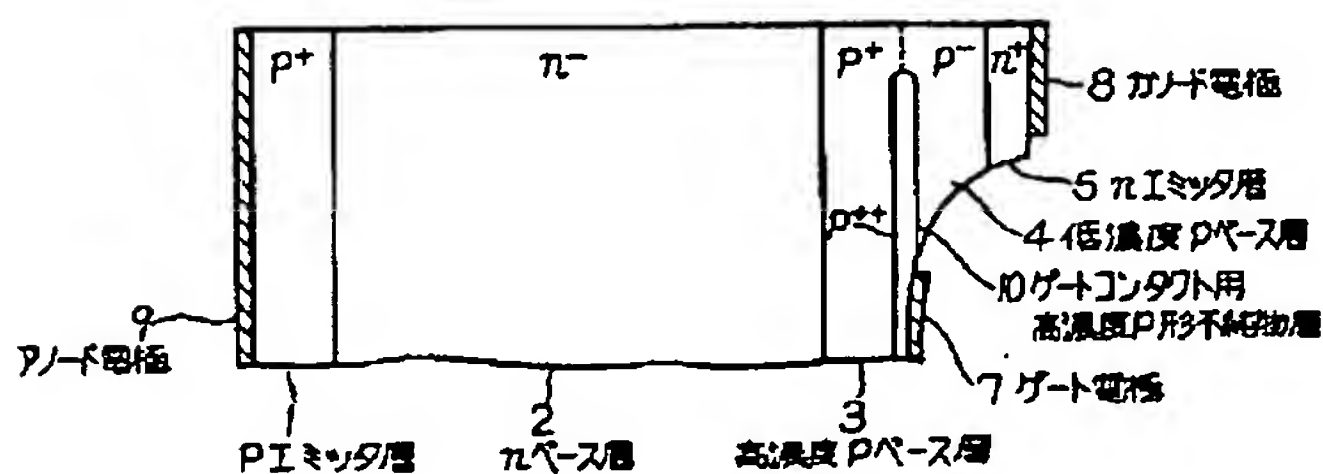
3... 高濃度pベース層、 4... 低濃度pベース層、 5... nエミッタ層、 7... ゲート電極、 8... カソード電極、 9... アノード電極、 10... ゲートコンタクト用高濃度p形不純物層、 11... ゲートコンタクト用高濃度p形不純物層の存在しない範囲。

6118) 代理人 加藤士 富村

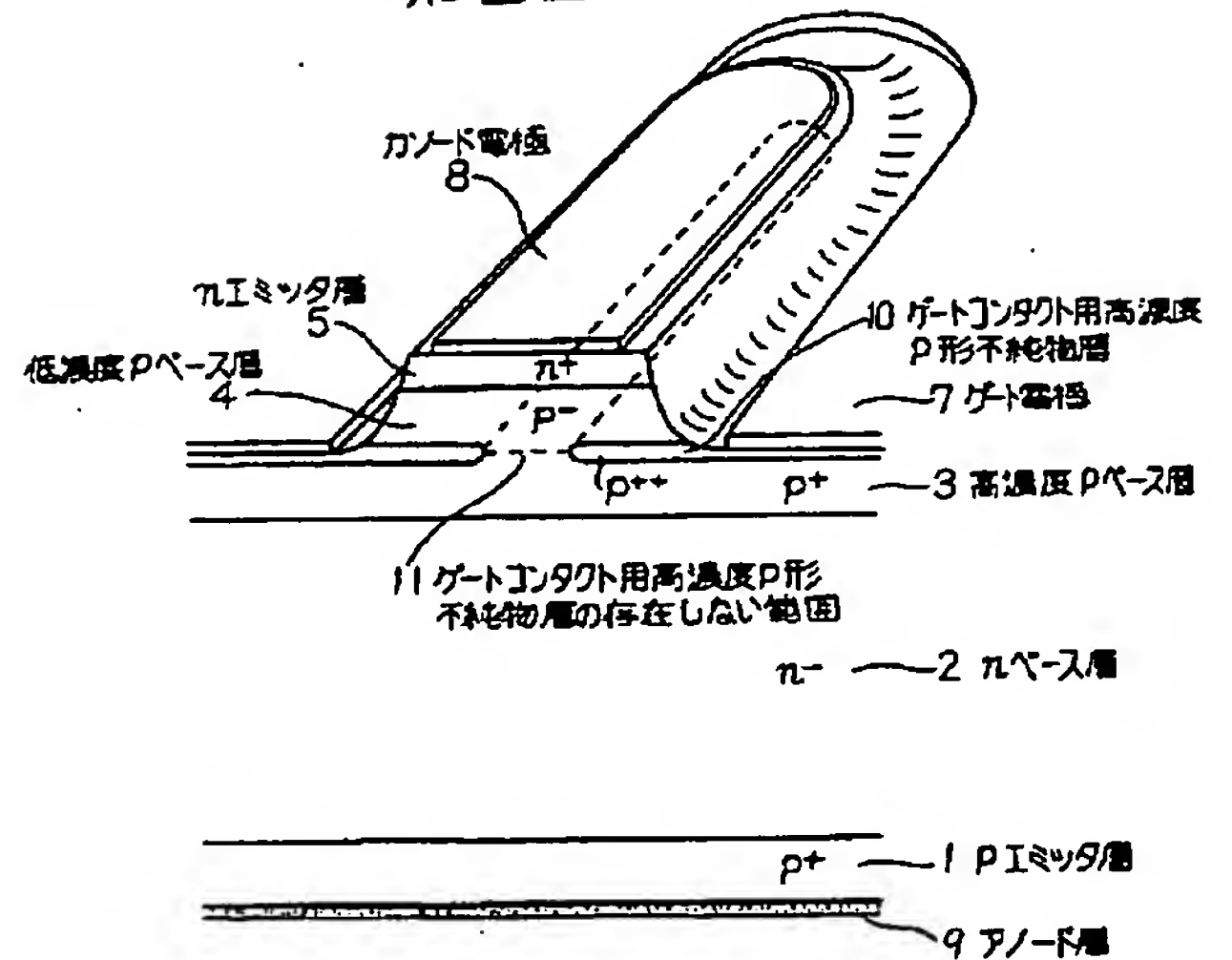
第3図



第1図



第2図



第4図

